

File 347:JAPIO Oct 1976-2003/Aug(Updated 031202)

(c) 2003 JPO & JAPIO

*File 347: JAPIO data problems with year 2000 records are now fixed.

Alerts have been run. See HELP NEWS 347 for details.

Set Items Description

S PN=11065991

S2 1 PN=11065991

?

T 2/5

2/5/1

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06124454 **Image available**

DATA PROCESSOR

PUB. NO.: 11-065991 [JP 11065991 A]

PUBLISHED: March 09, 1999 (19990309)

INVENTOR(s): SUDO KIYOSHI

YAMAGUCHI TATSUYA

HIROOKA JUNJI

HIRASAWA YUMI

APPLICANT(s): FUJITSU LTD

APPL. NO.: 09-219389 [JP 97219389]

FILED: August 14, 1997 (19970814)

INTL CLASS: G06F-013/36; G06F-013/362

ABSTRACT

PROBLEM TO BE SOLVED: To improve data transferring performance by detecting the number of modules, CPUs and memories to mount, integrating the dividing systems of communication line to initially divide according to the number of them at need and executing the arbitration processing of the using right of the communication line.

SOLUTION: A common bus 40-i for connecting between modules 1-i (i=0 to 3) is divided into four parts, e.g. The more the maximum loading number of the modules 1-i is, the more the number of dividing is. A bus interface circuit 12-i is constituted of a number corresponding to the number of the dividing of the bus 40-i. An arbiter 50 is provided with an arbitration circuit and a mounting number detecting circuit. For example, at the time of detecting the loading of two modules 1-i by the loading number detecting circuit, the arbitration circuit integrates the bus 40-i divided into four parts to make two buses to execute the arbitration processing of the using right of the bus 40-i and at the time of detecting the loading of the four modules 1-i, the arbitration circuit does not integrate the bus 40-1 to be divided into four parts to make two buses to execute the arbitration processing of the using right of the bus 40-i.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-65991

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶

G 0 6 F 13/36
13/362

識別記号

5 3 0
5 1 0

F I

G 0 6 F 13/36
13/362

5 3 0 B
5 1 0 E

審査請求 未請求 請求項の数 4 O L (全 16 頁)

(21) 出願番号

特願平9-219389

(22) 出願日

平成9年(1997) 8月14日

(71) 出願人

000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 須藤 清

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 山口 達也

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 岡田 光由 (外1名)

最終頁に続く

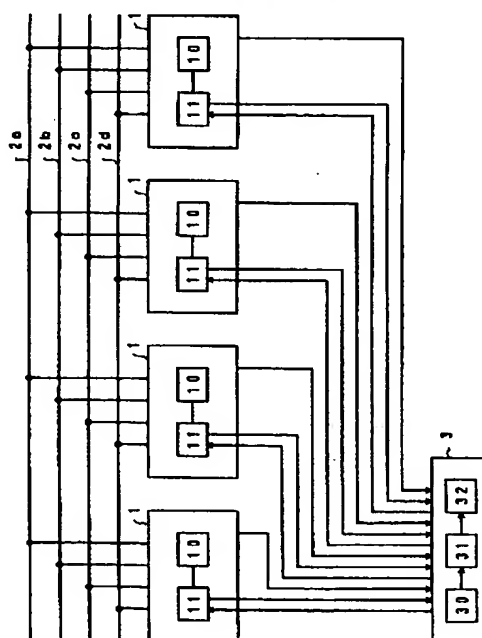
(54) 【発明の名称】 データ処理装置

(57) 【要約】

【課題】本発明は、本発明は、通信路を介して接続されるモジュール構成のデータ処理装置に関し、データ転送性能の向上の実現を目的とする。

【解決手段】通信路と、通信路の使用権の調停処理を実行する調停機構とを備えて、他モジュールのメモリへのアクセスを許しつつ、メモリ及びCPUを持つモジュールを複数接続することを可能にするデータ処理装置において、通信路が複数の系統に初期分割されるよう構成され、かつ、調停機構が、実装されるモジュールの個数を検出する検出手段と、検出手段の検出する個数に応じて、通信路系統を必要に応じて統合する統合手段とを備え、各モジュールは、統合手段により統合される通信路系統に従って、データ転送を実行するように構成する。

本発明の構成図



【特許請求の範囲】

【請求項1】 通信路と、該通信路の使用権の調停処理を実行する調停機構とを備えて、他モジュールのメモリへのアクセスを許しつつ、メモリ及びCPUを持つモジュールを複数接続することを可能にするデータ処理装置において、

通信路が複数の系統に初期分割されるよう構成され、かつ、上記調停機構が、

実装されるモジュールの個数を検出する検出手段と、上記検出手段の検出する個数に応じて、上記通信路系統を必要に応じて統合する統合手段とを備え、各モジュールは、上記統合手段により統合される通信路系統に従って、データ転送を実行するよう構成されることを、

特徴とするデータ処理装置。

【請求項2】 請求項1記載のデータ処理装置において、

通信路が、モジュールの最大実装数に応じて初期分割されるよう構成されることを、

特徴とするデータ処理装置。

【請求項3】 通信路と、該通信路の使用権の調停処理を実行する調停機構とを備えて、他モジュールのメモリへのアクセスを許しつつ、メモリ及びCPUを持つモジュールを複数接続することを可能にするデータ処理装置において、

通信路が複数の系統に初期分割されるよう構成され、かつ、上記調停機構が、

実装されるCPU及びメモリの個数を検出する検出手段と、

上記検出手段の検出する個数に応じて、上記通信路系統を必要に応じて統合する統合手段とを備え、各モジュールは、上記統合手段により統合される通信路系統に従って、データ転送を実行するよう構成されることを、

特徴とするデータ処理装置。

【請求項4】 請求項3記載のデータ処理装置において、

通信路が、CPUの最大実装数とメモリの最大実装数の内の少ない方の最大実装数に応じて初期分割されるよう構成されることを、

特徴とするデータ処理装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、通信路を介して接続されるモジュール構成のデータ処理装置に関し、特に、データ転送性能の向上を実現するデータ処理装置に関する。

【0002】近年のデータ処理規模の拡大に伴って、高性能のデータ処理装置の需要が益々増加している。データ処理装置を高性能なものとするためには、CPU性能

のアップが不可欠であるが、それ以外に、CPUとメモリとの間のデータ転送性能や、チャンネルとメモリとの間のデータ転送性能を向上させていく必要がある。

【0003】

【従来の技術】データ処理規模の拡張に対処するために、メモリ及びCPUを持つモジュールを、共通バスを介して接続することで構成されるデータ処理装置（以下、モジュール構成データ処理装置と称する）がある。

【0004】図7及び図8に、モジュール構成データ処理装置の装置構成を図示する。ここで、図中、CBは共通バス、BM0～3は共通バスを使用するモジュール、BI0～3はモジュールに備えられるバスインタフェース回路、P0～3とP00～11はモジュールに備えられるCPU、M0～3とM00～11はモジュールに備えられるメモリ、ARBは共通バスの使用権の調停を行うバスアービタである。また、BRQ0～3とBRQ00～11はモジュールから発行される共通バス使用要求信号、BGR0～3とBGR00～11はモジュールに通知される共通バス使用許可信号である。

【0005】図7に示すものは、4台のモジュールのそれぞれが、メモリ及びCPUを1つずつ持っており、図8に示すものは、2台のモジュールのそれぞれが、2つのCPUと2つのインタリーブ可能なメモリを持っている。

【0006】このように構成されるモジュール構成データ処理装置では、各モジュールのCPUは、共通バスを介して他のモジュールのメモリにアクセスするときには、バスアービタから共通バスの使用権を得ることで、共通バスを占有してデータ転送を行うことになる。

【0007】ここで、各モジュールのCPUは、自モジュールのメモリにアクセスする際にも、他モジュールのCPUにアクセスされないようにするために、バス使用要求を発行することで共通バスの使用権を得るという構成を採っている。

【0008】図9に、このモジュール構成データ処理装置のタイムチャートの一例を図示する。ここでは、図7の構成を想定している。このタイムチャートでは、時刻 $\tau 1$ のときに、4台のモジュールBM0～BM3が、同時に、共通バス使用要求信号BRQ0～3を出力することを想定している。このとき、バスアービタは、予め定められた優先順位に従って、時刻 $\tau 2$ において、モジュールBM0に対して共通バスの使用許可を与え、これにより、モジュールBM0は、時刻 $\tau 2$ と $\tau 3$ の2サイクル間、共通バスを占有して、例えばCPUP0からメモリM1への64バイトのデータ転送（共通バスは32バイトバスを想定している）を行う。

【0009】続いて、バスアービタは、時刻 $\tau 5$ において、モジュールBM1に対して共通バスの使用許可を与え、これにより、モジュールBM1は、時刻 $\tau 5$ と $\tau 6$ の2サイクル間、共通バスを占有して、例えばCPUP

1からメモリM2への64バイトのデータ転送を行う。

【0010】続いて、バスアービタは、時刻 τ 8において、モジュールBM2に対して共通バスの使用許可を与え、これにより、モジュールBM2は、時刻 τ 8と τ 9の2サイクル間、共通バスを占有して、例えばCPUP2からメモリM3への64バイトのデータ転送を行う。

【0011】続いて、バスアービタは、時刻 τ 11において、モジュールBM3に対して共通バスの使用許可を与え、これにより、モジュールBM3は、時刻 τ 11と τ 12の2サイクル間、共通バスを占有して、例えばCPUP3からメモリM0への64バイトのデータ転送を行う。

【0012】ここで、時刻 τ 3と時刻 τ 5との間と、時刻 τ 6と時刻 τ 8との間と、時刻 τ 9と時刻 τ 11との間に、1 τ おくのは、バスファイトを防ぐためである。なお、図8の構成を採る場合にも、「P00→P0, P01→P1, P10→P2, P11→P3」と置き換え、「M00→M0, M01→M1, M10→M2, M11→M3」と置き換え、BRQ0がP00の発行する共通バス使用要求信号、BRQ1がP01の発行する共通バス使用要求信号、BRQ2がP10の発行する共通バス使用要求信号、BRQ3がP11の発行する共通バス使用要求信号と置き換えることで分かるように、同様のタイムチャートになる。

【0013】このように構成される従来のモジュール構成データ処理装置では、1つのモジュールが共通バスを占有するときには、他のモジュールは、共通バスを一切使用できないという構成を採っていた。

【0014】

【発明が解決しようとする課題】このような従来技術に従っていると、モジュールの個数が少ないときには、他モジュールとのバス使用の競合の発生する頻度が小さいことから、共通バス使用要求信号が直ちに受け付けられ、共通バスの全部を使って少ないサイクルでデータ転送を行うことができ、待ち時間が短くなって有利である。

【0015】しかしながら、モジュールの個数が増えると、他モジュールとのバス使用の競合の発生する頻度が大きくなって、平均の待ち時間が長くなるという問題点がある。

【0016】図9の例で説明するならば、モジュールM0が1回のデータ転送後、更に連続してデータ転送を行うときには、時刻 τ 5で再び共通バス使用要求信号を発行することになるが、この共通バス使用要求信号は、先行するモジュールM1～3のデータ転送が終了した後の τ 14にならなければ受け付けられない。これから、待ち時間 T_w は11 τ と長くなる。

【0017】このときのデータ転送能力は、3 τ で64バイトのデータ転送を行うことから、1 τ が10nsとするならば、

$$64B/30ns = 2.1GB/s$$

である。

【0018】本発明はかかる事情に鑑みてなされたものであって、通信路を介して接続されるモジュールで構成されるときにあって、データ転送性能の向上を実現する新たなデータ処理装置の提供を目的とする。

【0019】

【課題を解決するための手段】図1に本発明の原理構成を図示する。図中、1はモジュールであって、メモリ10及びCPU11を備えるもの、2a～dは例えば4分割される通信路であって、モジュール1を接続するもの、3は調停機構であって、通信路2a～dの使用権の調停処理を実行するものである。

【0020】この調停機構3は、実装されるモジュール1の個数や、実装されるCPU11及びメモリ10の個数を検出する検出手段30と、検出手段30の検出する個数に応じて、初期分割される通信路30の分割システムを必要に応じて統合する統合手段31と、統合手段31により統合される通信路システムを調停単位として、通信路2a～dの使用権の調停処理を実行する調停手段32とを備える。

【0021】この原理構成に示すように、本発明では、モジュール1間を接続する通信路2a～dを、例えば4分割というように、複数の系統に初期分割する。例えば、モジュール1の最大実装数に応じて、その最大実装数が多くなるに従って分割数が増える形式で複数の系統に初期分割したり、CPU11の最大実装数とメモリ10の最大実装数の内の少ない方の最大実装数に応じて、その最大実装数が多くなるに従って分割数が増える形式で複数の系統に初期分割する。

【0022】そして、調停機構3は、検出手段30を使って、実装されるモジュール1の個数や、実装されるCPU11及びメモリ10の個数を検出し、この検出結果に応じて、統合手段31を使って、初期分割される通信路30の分割システムを必要に応じて統合し、調停手段32を使って、使用要求を発行してきたモジュール1のCPU11に対して、どの通信路システムを使って通信処理を実行するのかということを知照する。

【0023】このように、本発明では、実装されるモジュール1の個数や、実装されるCPU11の個数や、実装されるメモリ10の個数に応じて通信路2a～dを動的に分割して使用権の調停処理を実行する構成を採るので、通信路2a～dの使用要求の競合の発生頻度が大きくなるときには、通信路2a～dの系統数が増えることで通信路2a～dの使用要求の競合が解消され、通信路2a～dの使用要求の競合の発生頻度が小さくなるときには、通信路2a～dの通信路幅が大きくなることでデータ転送時間の短縮が図られることになり、データ転送性能の向上を実現できるようになる。

【0024】

【発明の実施の形態】以下、実施の形態に従って本発明を詳細に説明する。図2に、本発明の一実施例を図示する。

【0025】図中、1-i (i=0~3) はモジュールであって、メモリ10-i/CPU11-i/バスインタフェース回路12-iを備えるもの、40-iは4分割される共通バスであって、モジュール1-iを接続するもの、50はアービタであって、共通バス40-iの使用権の調停処理を実行するものである。

【0026】この実施例では、モジュール1-i間を接続する共通バス40-iを例えば4分割する構成を採っている。この分割数は、モジュール1-iの最大実装数に応じて、その最大実装数が多くなるに従って分割数が増える形式で決められることになる。図中では省略してあるが、この構成を実現するために、バスインタフェース回路12-iは、共通バス40-iの分割数に応じた数で構成されるバスインタフェース回路を持つことになる。

【0027】更に、この実施例では、新たに、モジュール1-iの実装の有無を表示するモジュール実装信号(IN0~IN3)を、各モジュール1-iからアービタ50に入力する構成を採っている。このモジュール実装信号(IN0~IN3)は、例えば、モジュール1-iが装着されるときに“1”を示すことで、モジュール1-iの実装の有無を表示する。

【0028】図3に、アービタ50の一実施例を図示する。この図に示すように、アービタ50は、調停回路51と、実装個数検出回路52とを備える。

【0029】この調停回路51は、モジュール1-iの発行する共通バス40-iの使用要求信号(BRQ0~BRQ3)を入力とし、優先順位に従ってそれらの調停処理を実行することで、どのモジュール1-iに対して、4分割される共通バス40-iの内のどの系統の使用許可を与えるかを決定して、使用許可を与えるモジュール1-iに対して、使用許可を与える系統の識別番号を示す使用系統信号(ID0~ID3)を出力する。

【0030】この使用系統信号ID0~ID3は、例えば各々3ビットで構成され、例えば、(0, 0, 0)のときには許可しないことを示し、(0, 1, 1)のときには共通バス40-0の使用許可を示し、(1, 0, 1)のときには共通バス40-1の使用許可を示し、(1, 1, 0)のときには共通バス40-2の使用許可を示し、(1, 1, 1)のときには共通バス40-3の使用許可を示すことで、モジュール1-iに対して使用許可を与える系統を通知する。

【0031】実装個数検出回路52は、モジュール1-iから送られてくるモジュール実装信号(IN0~IN3)を入力として、何台のモジュール1-iが実装されているのかを検出する。

【0032】このように構成される本発明のデータ処理装置では、アービタ50の調停回路51は、アービタ50の実装個数検出回路52の検出するモジュール1-iの個数に応じて、4分割する共通バス40-iを必要に応じて統合することで、共通バス40-iの使用権の調停処理を実行する。

【0033】例えば、調停回路51は、実装個数検出回路52により2台のモジュール1-iが実装されることを検出するときには、4分割される共通バス40-iを2つのバスに統合して共通バス40-iの使用権の調停処理を実行し、4台のモジュール1-iが実装されることを検出するときには、4分割される共通バス40-iを統合せずに共通バス40-iの使用権の調停処理を実行する。

【0034】図4に、4台のモジュール1-iが実装されるときに実行される、共通バス40-iの使用権の調停処理のタイムチャートの一例を図示する。4台のモジュール1-iが実装されるときには、調停回路51は、4分割される共通バス40-iを統合せずに調停処理を実行する。すなわち、共通バス40-iが全部で32バイト幅を持つときには、8バイトのバイト幅を持つ共通バス40-0と、8バイトのバイト幅を持つ共通バス40-1と、8バイトのバイト幅を持つ共通バス40-2と、8バイトのバイト幅を持つ共通バス40-3とを使用権の割り付け対象として調停処理を実行する。

【0035】この図4のタイムチャートでは、4台のモジュール1-iが、時刻τ1に、同時に、64バイトのデータ転送要求を発行するとともに、その後、時刻τ10に、同時に、64バイトのデータ転送要求を発行することを想定している。

【0036】例えば、モジュール1-0が、時刻τ1に、CPU11-0からメモリ10-0へのデータ転送要求を発行し、モジュール1-1が、時刻τ1に、CPU11-1からメモリ10-1へのデータ転送要求を発行し、モジュール1-2が、時刻τ1に、CPU11-2からメモリ10-2へのデータ転送要求を発行し、モジュール1-3が、時刻τ1に、CPU11-3からメモリ10-3へのデータ転送要求を発行することを想定している。

【0037】そして、モジュール1-0が、時刻τ10に、CPU11-0からメモリ10-2へのデータ転送要求を発行し、モジュール1-1が、時刻τ10に、CPU11-1からメモリ10-3へのデータ転送要求を発行し、モジュール1-2が、時刻τ10に、CPU11-2からメモリ10-0へのデータ転送要求を発行し、モジュール1-3が、時刻τ10に、CPU11-3からメモリ10-1へのデータ転送要求を発行することを想定している。

【0038】このデータ転送要求を受けて、調停回路51は、時刻τ2で、例えば、モジュール1-0に対して共通バス40-1の使用を許可し、モジュール1-1に対して共通バス40-2の使用を許可し、モジュール1-2に対して共通バス40-3の使用を許可し、モジュール1-3に対して共通バス40-0の使用を許可する。

【0039】そして、このデータ転送要求を受けて、調

停回路51は、時刻 τ 11で、例えば、モジュール1-0に対して共通バス40-2の使用を許可し、モジュール1-1に対して共通バス40-3の使用を許可し、モジュール1-2に対して共通バス40-0の使用を許可し、モジュール1-3に対して共通バス40-1の使用を許可する。

【0040】これにより、共通バス40-0では、時刻 τ 1におけるモジュール1-3の共通バス使用要求信号BRQ3にตอบสนองして、時刻 τ 2から時刻 τ 9の間の8サイクルを使って、CPU11-3からメモリ10-0への64バイトのデータ転送が実行され、その後、バスマイトを防止するために用意される1サイクルの空サイクルの後に、時刻 τ 10におけるモジュール1-2の共通バス使用要求信号BRQ2にตอบสนองして、時刻 τ 11から時刻 τ 18の8サイクルを使って、CPU11-2からメモリ10-0への64バイトのデータ転送が実行される。

【0041】また、これにより、共通バス40-1では、時刻 τ 1におけるモジュール1-0の共通バス使用要求信号BRQ0にตอบสนองして、時刻 τ 2から時刻 τ 9の間の8サイクルを使って、CPU11-0からメモリ10-1への64バイトのデータ転送が実行され、その後、バスマイトを防止するために用意される1サイクルの空サイクルの後に、時刻 τ 10におけるモジュール1-3の共通バス使用要求信号BRQ3にตอบสนองして、時刻 τ 11から時刻 τ 18の8サイクルを使って、CPU11-3からメモリ10-1への64バイトのデータ転送が実行される。

【0042】また、これにより、共通バス40-2では、時刻 τ 1におけるモジュール1-1の共通バス使用要求信号BRQ1にตอบสนองして、時刻 τ 2から時刻 τ 9の間の8サイクルを使って、CPU11-1からメモリ10-2への64バイトのデータ転送が実行され、その後、バスマイトを防止するために用意される1サイクルの空サイクルの後に、時刻 τ 10におけるモジュール1-0の共通バス使用要求信号BRQ0にตอบสนองして、時刻 τ 11から時刻 τ 18の8サイクルを使って、CPU11-0からメモリ10-2への64バイトのデータ転送が実行される。

【0043】また、これにより、共通バス40-3では、時刻 τ 1におけるモジュール1-2の共通バス使用要求信号BRQ2にตอบสนองして、時刻 τ 2から時刻 τ 9の間の8サイクルを使って、CPU11-2からメモリ10-3への64バイトのデータ転送が実行され、その後、バスマイトを防止するために用意される1サイクルの空サイクルの後に、時刻 τ 10におけるモジュール1-0の共通バス使用要求信号BRQ1にตอบสนองして、時刻 τ 11から時刻 τ 18の8サイクルを使って、CPU11-1からメモリ10-3への64バイトのデータ転送が実行される。

【0044】このとき、各モジュール1-iは、1回のデータ転送後、9 τ の待ち時間 T_w の後に、次のデータ転送に入れることとなり、図9に示す従来技術に比べて、待ち時間 T_w を2 τ 短くできるようになる。

【0045】また、このときのデータ転送能力は、9 τ

で、64バイト \times 4(=256バイト)のデータ転送を行うことから、1 τ が10nsとするならば、

$$256\text{B}/90\text{ns}=2.84\text{GB/s}$$

となって、図9に示す従来技術に比べて、“0.74GB/s”もデータ転送能力を向上できるようになる。

【0046】図4のタイムチャートでは、4台のモジュール1-iが実装されるときに、4分割される共通バス40-iを使って共通バス40-iの使用権の調停処理を実行することで、共通バス40-iの使用要求の競合を解消する構成を採ったが、モジュール1-iの個数が少ないときには、共通バス40-iの使用要求の競合が少なくなることから、共通バス40-iの分割数を減らして、モジュール1-iが一度に使用できるバス幅数を大きくすることの方が有利である。

【0047】これから、上述したように、本発明のデータ処理装置では、アービタ50の調停回路51は、実装個数検出回路52の検出する実装されるモジュール1-iの個数に応じて、4分割する共通バス40-iを必要に応じて統合することで、共通バス40-iの使用権の調停処理を実行する構成を採っている。

【0048】例えば、モジュール1-iの最大実装数が16台で、共通バス40-iを4系統に初期分割するときには、実際に実装されるモジュール1-iの個数が8個のときには、4系統に初期分割した共通バス40-iを2系統に統合することで、バス幅を初期分割の2倍として、共通バス40-iの使用要求を発行してきたモジュール1-iに対して、その2つの系統の共通バス40-iの中から共通バス40-iの系統を選択して割り当てていく構成を採るのである。

【0049】この構成に従って、実際に実装されるモジュール1-iの個数に合った共通バス40-iの使用処理が実現できるようになる。図2の実施例では、各モジュール1-iがメモリ10-i及びCPU11-iを1つずつ備える例を示しているが、各モジュール1-iが複数のメモリ10-i及びCPU11-iを備えるときにも、本発明は適用できる。

【0050】このときには、CPU11-iの個数がメモリ10-iの個数よりも少ないときには、共通バス40-iの使用要求の競合数がCPU11-iの個数で規定され、逆に、メモリ10-iの個数がCPU11-iの個数よりも少ないときには、共通バス40-iの使用要求の競合数がメモリ10-iの個数で規定されることを受けて、共通バス40-iが、CPU11-iの最大実装数とメモリ10-iの最大実装数の内の少ない方の最大実装数に応じて、その最大実装数が多くなるに従って分割数が増える形式で初期分割されることになる。

【0051】また、このときには、図5に示すように、アービタ50に対して、各メモリ10-iが実装されているのか否かを示す実装信号(破線で示すもの)と、各CPU11-iが実装されているのか否かを示す実装信号

(破線で示すもの)とを入力する構成を採ることが好ましい。

【0052】この実装信号を受けて、アービタ50は、実装されるCPU11-iの個数が実装されるメモリ10-iの個数よりも少ないときには、実装されるCPU11-iの個数に応じて、共通バス40-iを必要に応じて統合し、逆に、実装されるメモリ10-iの個数が実装されるCPU11-iの個数よりも少ないときには、実装されるメモリ10-iの個数に応じて、共通バス40-iを必要に応じて統合することになる。そして、CPU11-iからの共通バス40-iの使用要求にตอบสนองして、その中から、空いている共通バス40-iの系統を割り当てていくことになる。

【0053】図示実施例に従って本発明を説明したが、本発明はこれに限定されるものではない。例えば、この実施例では、アービタ50が、モジュール1-iに対して、どの系統の共通バス40-iを使用してデータ転送を行うかを通知する構成を採ったが、共通バス40-iの使用許可を表示する使用許可信号を通知していく場合にも実現可能である。

【0054】この構成に従うときには、例えば、図6に示すように、アービタ50が、モード信号(MB)を使って、各モジュール1-iに共通バス40-iの系統数を通知する構成を採って、使用許可を受け取ったモジュール1-iが、通知されるモード信号に従って使用可能な系統数を特定して、その特定した系統数分の空いている共通バス40-iの系統を見つけ出していくことでデータ転送を実行する構成を採ったり、モジュール1-iの実装位置と、通知されるモード信号とにより予め割り当てられる共通バス40-iの系統を使ってデータ転送を実行する構成を採ることになる。

【0055】

【発明の効果】以上説明したように、本発明によれば、通信路と、その通信路の使用権の調停処理を実行する調停機構とを備えることで、メモリ及びCPUを持つモジュールを複数接続することを可能にするときにあって、実装されるモジュールの個数や、実装されるCPUの個数や、実装されるメモリの個数に応じて通信路を動的に分割して使用権の調停処理を実行する構成を採るので、通信路の使用要求の競合の発生頻度が大きくなるときには、通信路の系統数が多くなることで通信路の使用要求の競合が解消され、通信路の使用要求の競合の発生頻度が小さくなるときには、通信路の通信路幅が大きくなることでデータ転送時間の短縮が図られることになり、データ転送性能の向上を実現できるようになる。

【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】本発明の一実施例である。

【図3】アービタの一実施例である。

【図4】本発明の動作説明図である。

【図5】本発明の他の実施例である。

【図6】本発明の他の実施例である。

【図7】データ処理装置の説明図である。

【図8】データ処理装置の説明図である。

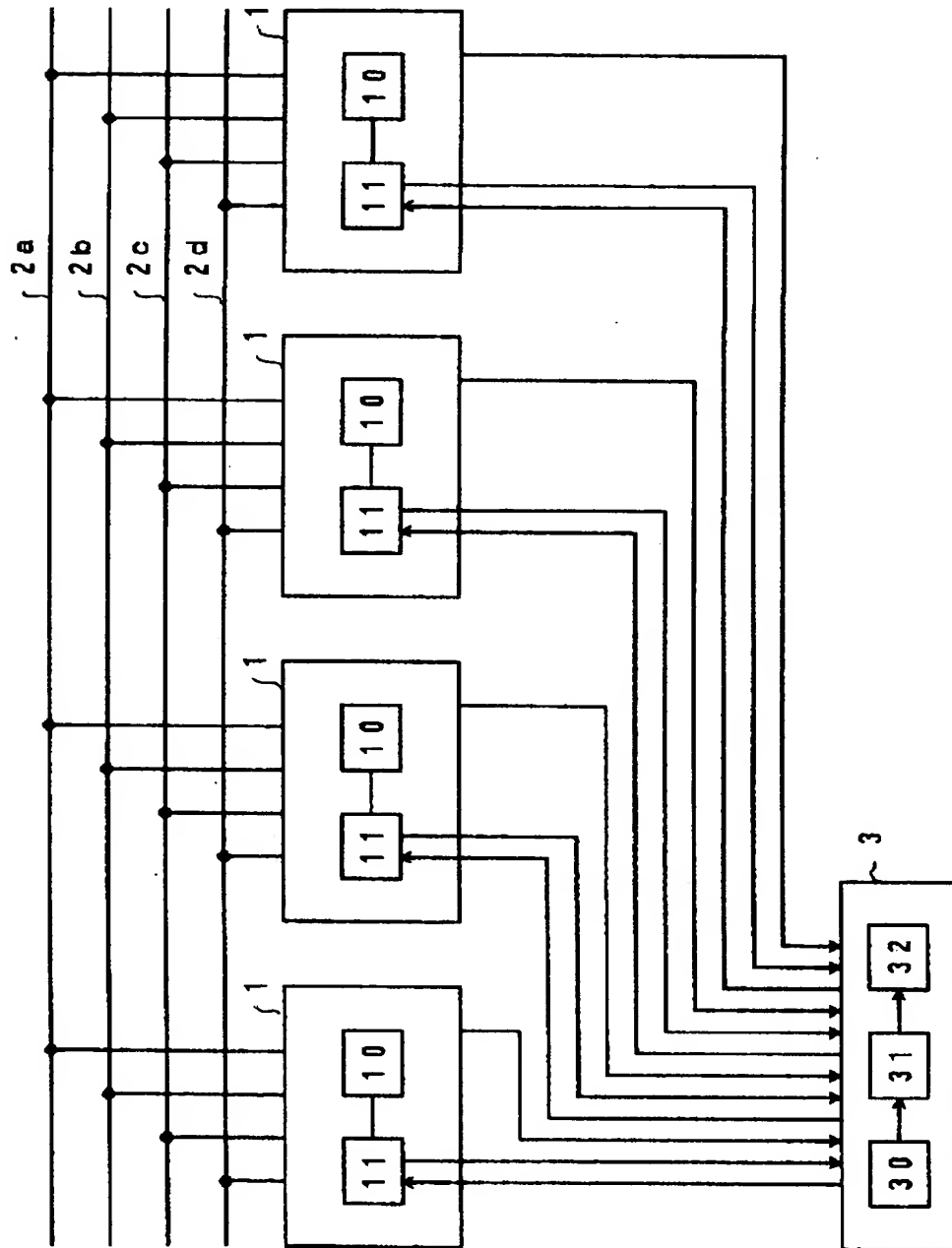
【図9】データ処理装置の動作説明図である。

【符号の説明】

- 1 モジュール
- 2 通信路
- 3 調停機構
- 10 メモリ
- 11 CPU
- 30 検出手段
- 31 統合手段
- 32 調停手段

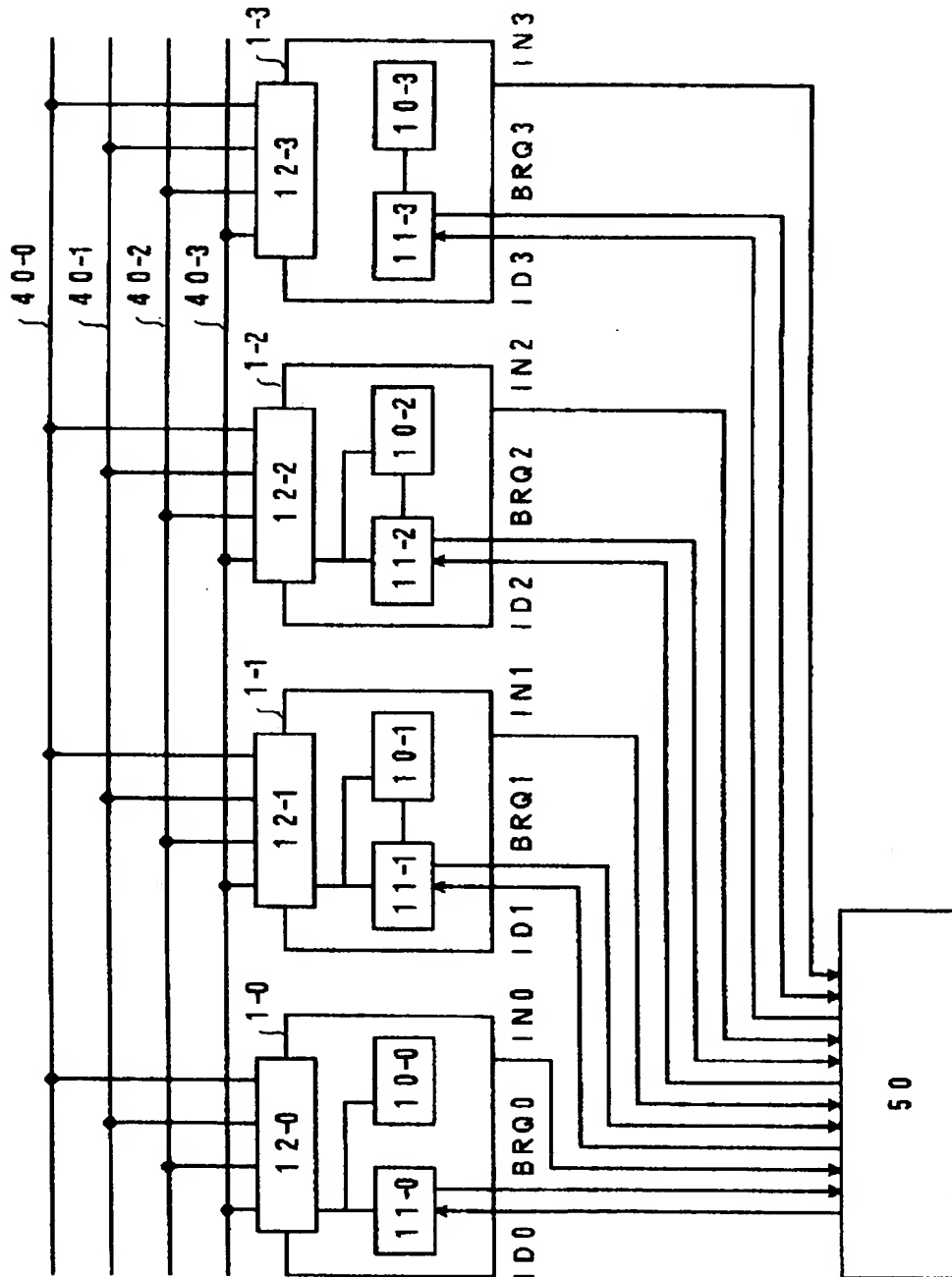
【図1】

本発明の原理構成図



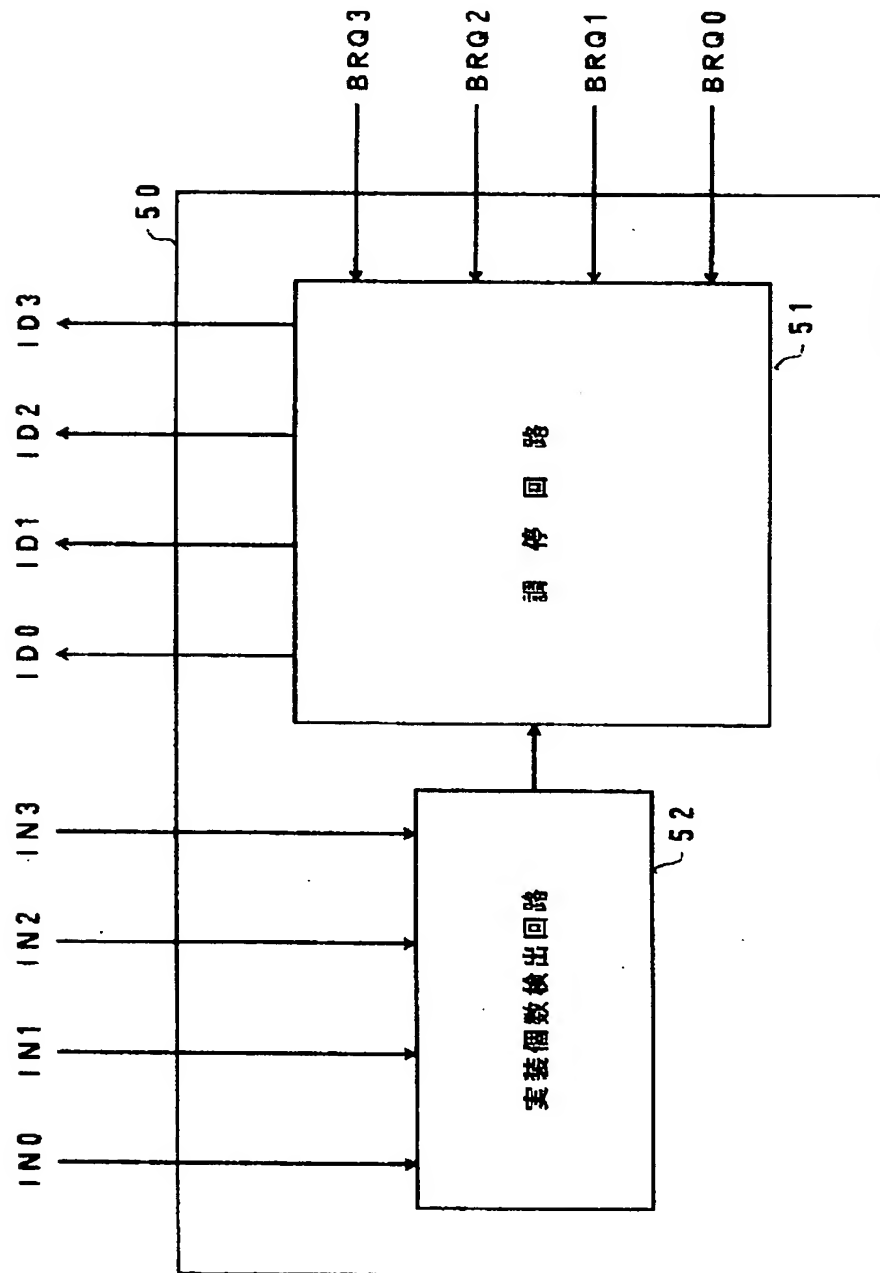
【図2】

本発明の一実施例



【図3】

ア - ビ タ の - 実 施 例



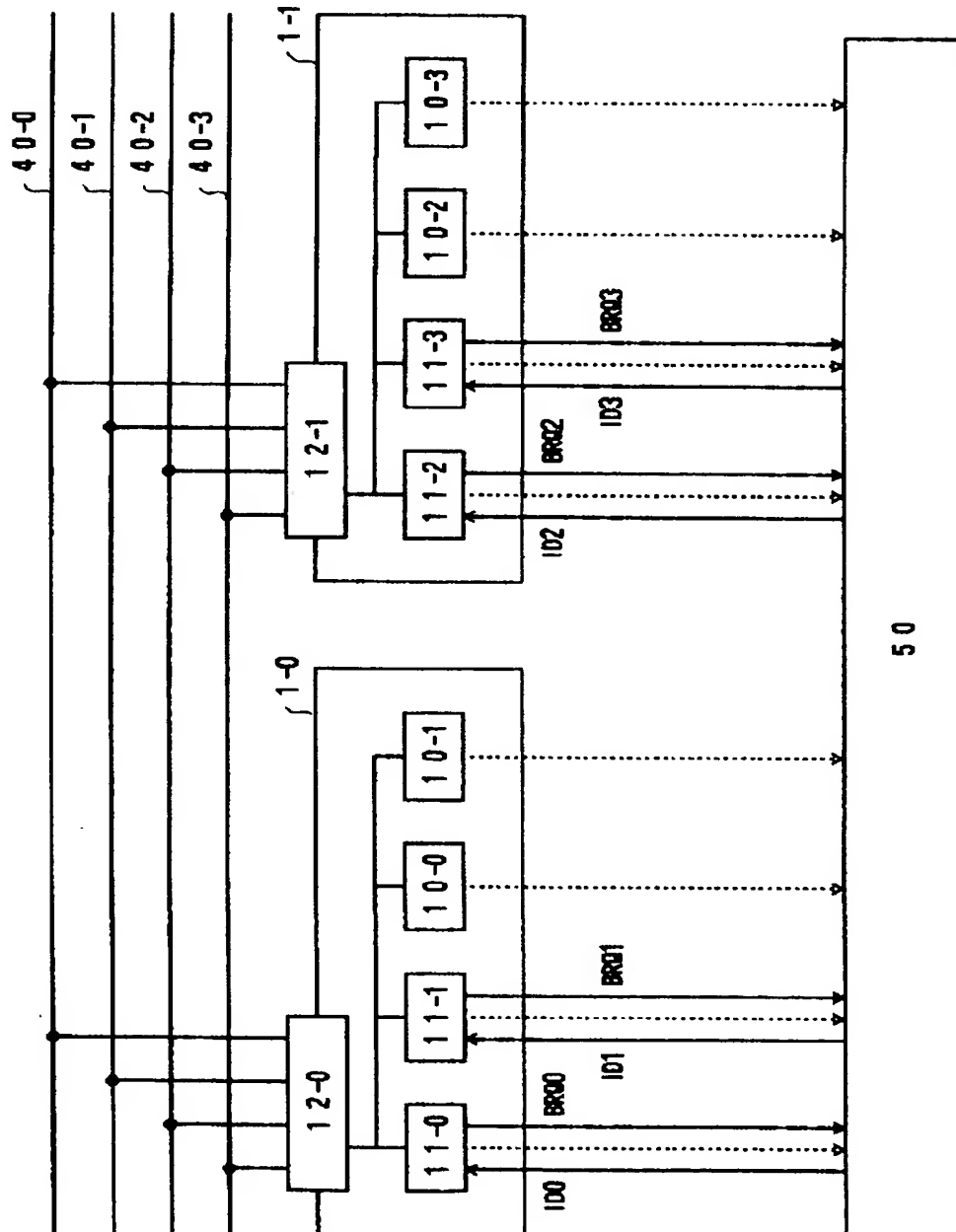
【図4】

本発明の動作説明図

	τ1	τ2	τ3	τ4	τ5	τ6	τ7	τ8	τ9	τ10	τ11	τ12	τ13	τ14	τ15	τ16	τ17	τ18
BRQ0																		
BRQ1																		
BRQ2																		
BRQ3																		
CB0																		モジュール1-2占有 CPU11-2→メモリ10-0
CB1																		モジュール1-3占有 CPU11-3→メモリ10-1
CB2																		モジュール1-0占有 CPU11-0→メモリ10-2
CB3																		モジュール1-1占有 CPU11-1→メモリ10-3

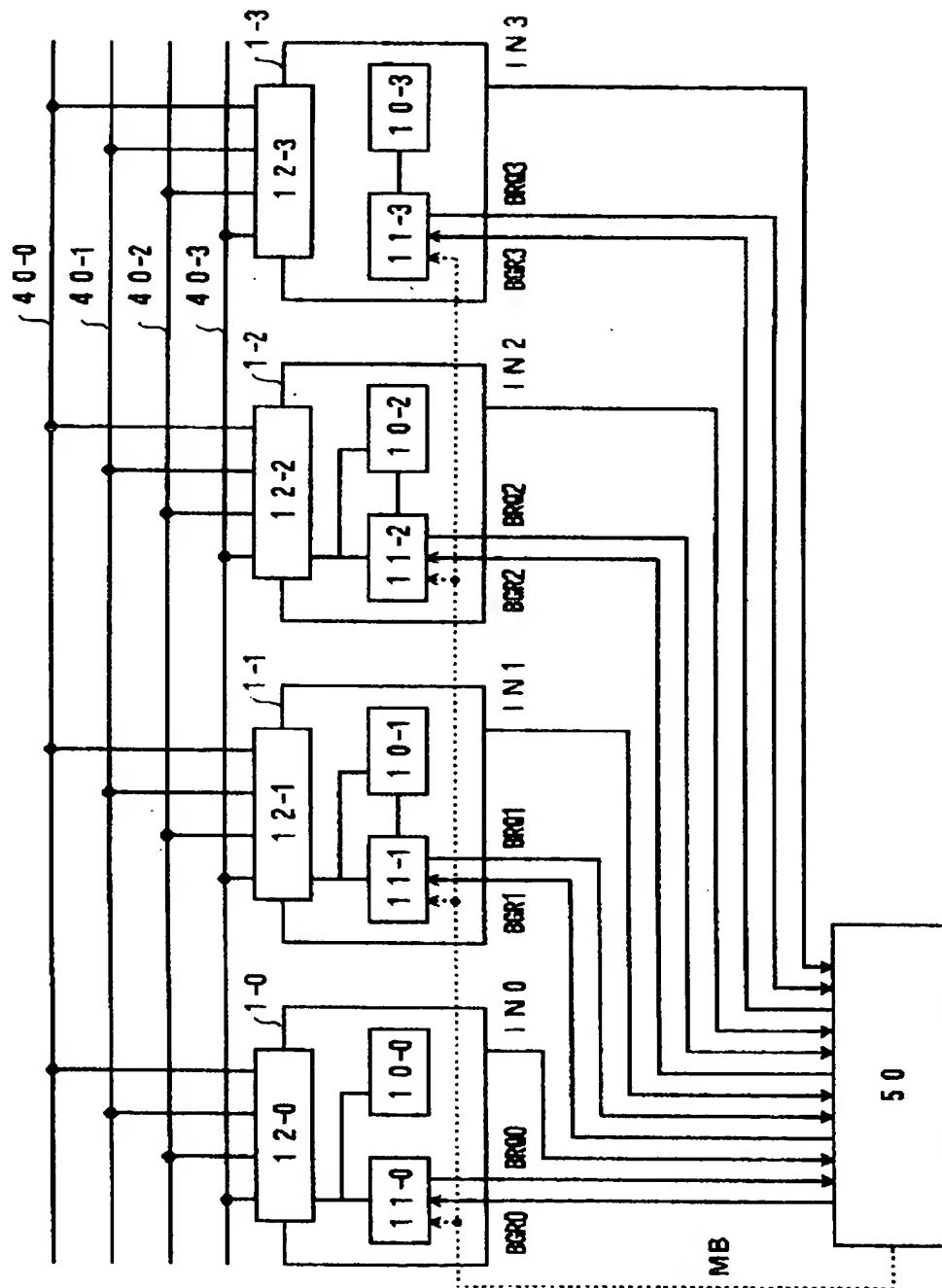
【図5】

本発明の他の実施例



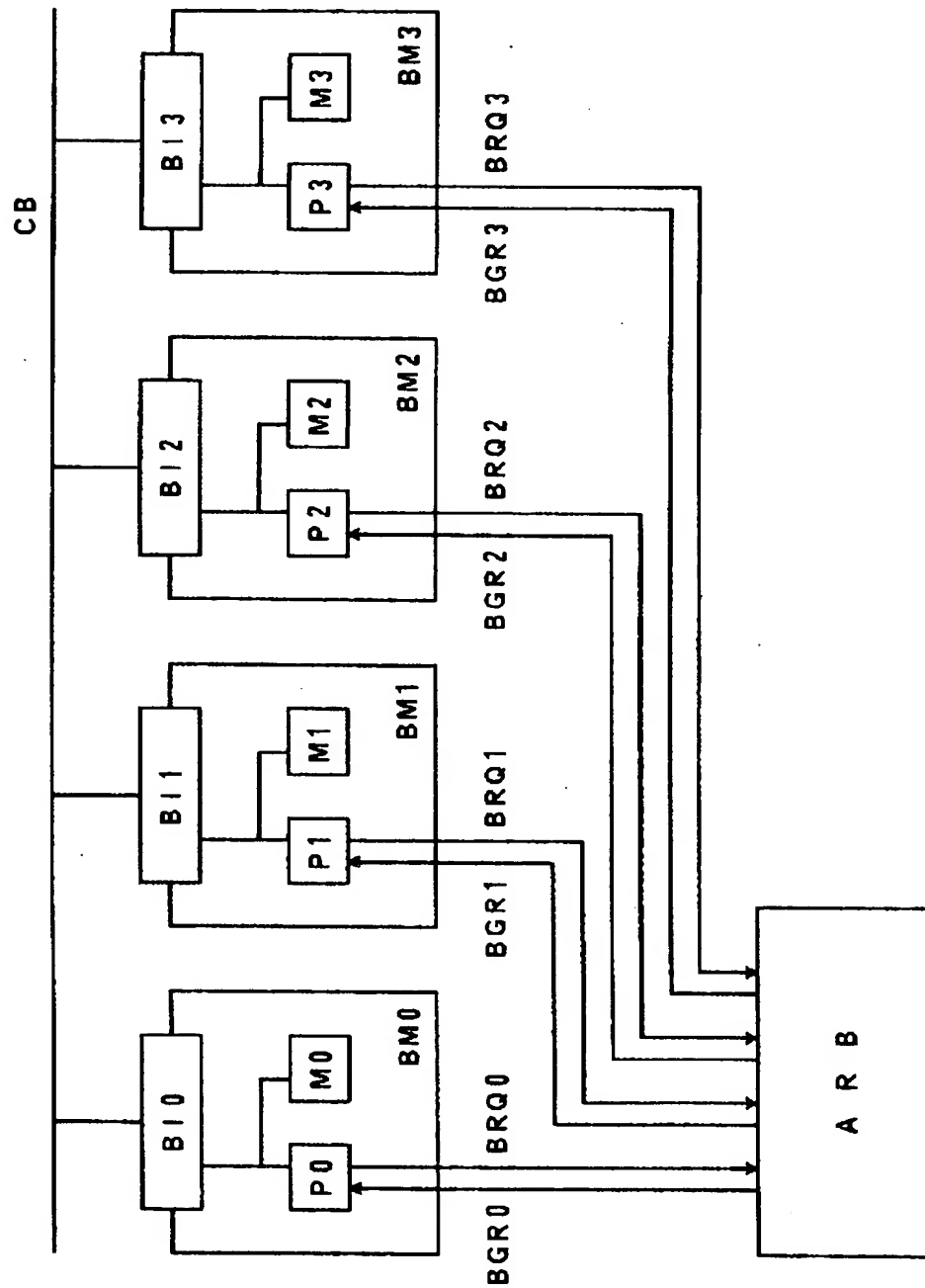
【図6】

本発明の他の実施例



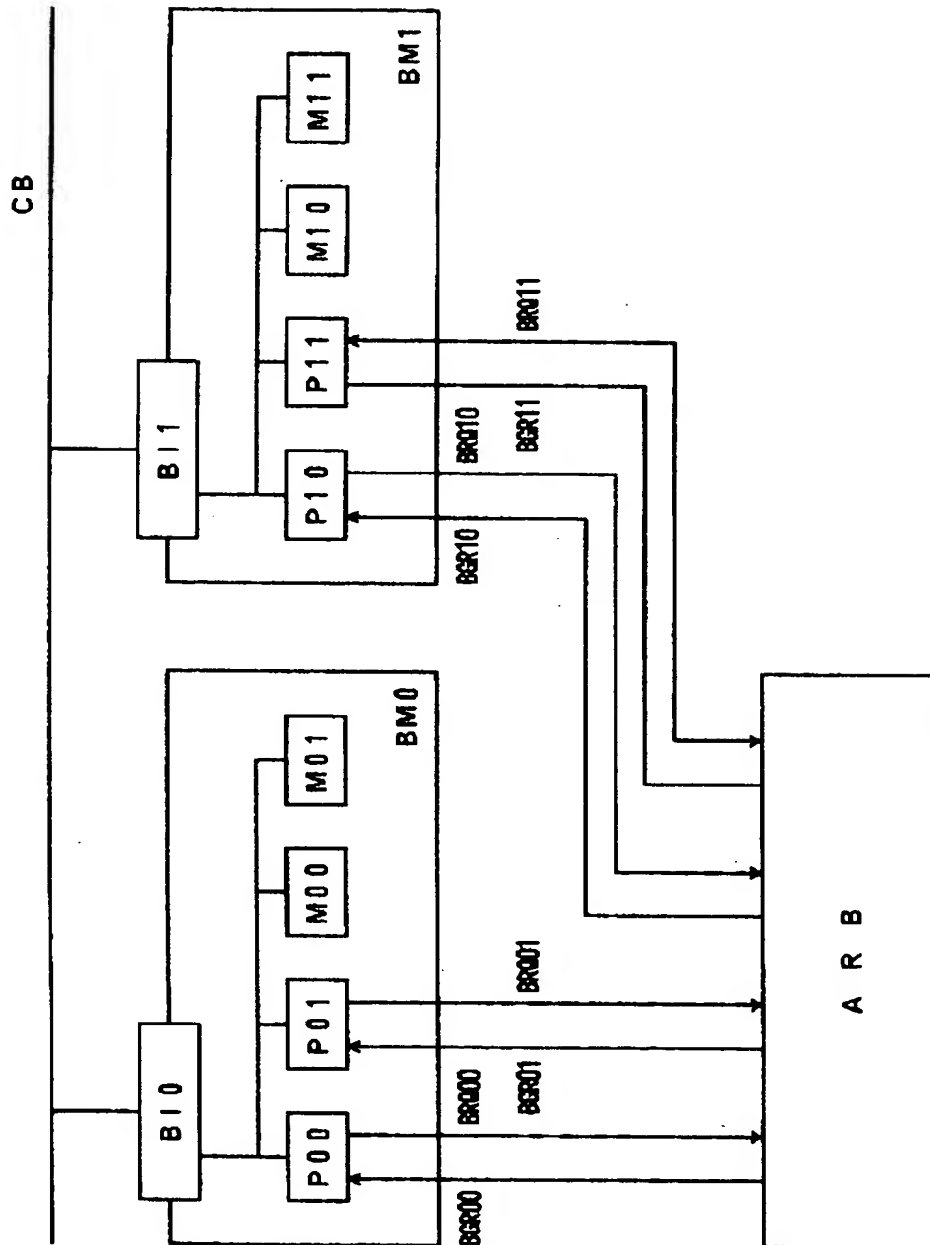
【図7】

データ処理装置の説明図



【図8】

データ処理装置の説明図



【図9】

データ処理装置の動作説明図

	τ1	τ2	τ3	τ4	τ5	τ6	τ7	τ8	τ9	τ10	τ11	τ12	τ13	τ14	τ15	τ16	τ17	τ18
BRQ0																		
BRQ1																		
BRQ2																		
BRQ3																		
CB		BM0占有 P0→M1			BM1占有 P1→M2			BM2占有 P2→M3		BM3占有 P3→M0			BM0占有				BM1占有	

フロントページの続き

(72)発明者 廣岡 順二

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 平澤 ゆみ

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内